

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-050411

(43)Date of publication of application : 21.02.1995

(51)Int.Cl.

H01L 29/78  
H01L 21/28  
H01L 21/336

(21)Application number : 05-195949

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 06.08.1993

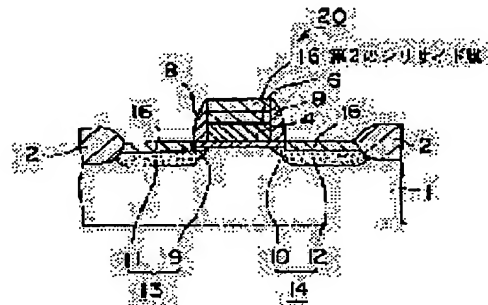
(72)Inventor : SHIRAISHI TADAYOSHI

## (54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To provide a manufacturing method of semiconductor device capable of satisfactorily lessening the resistance of a gate electrode neither junction-breaking a diffusion layer comprising a source and drain with a semiconductor substrate nor increasing the height of the gate electrode.

**CONSTITUTION:** A multilayer structured gate electrode 20 comprising the first polycrystalline silicon film 4, the first silicide film, the second polycrystalline silicon film is formed on a silicon substrate 1 through the intermediary of a gate insulating film 3 and after the formation of a source 13 and a drain 14 using the gate electrode 20 as a mask, the second titanium film is formed on the whole surface and then the second titanium film formed on the gate electrode 20, the source 13 and the drain 14 is silicified to form the second silicide films 16.



## LEGAL STATUS

[Date of request for examination] 02.08.2000

[Date of sending the examiner's decision of rejection] 04.06.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-50411

(43)公開日 平成7年(1995)2月21日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78				
21/28	3 0 1 D	7376-4M		
21/336		7514-4M	H 0 1 L 29/ 78	3 0 1 G
		7514-4M		3 0 1 P
			審査請求 未請求 請求項の数1	O L (全 5 頁)

(21)出願番号 特願平5-195949

(22)出願日 平成5年(1993)8月6日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 白石 忠義

千葉県千葉市中央区川崎町1番地 川崎製鉄株式会社技術研究本部内

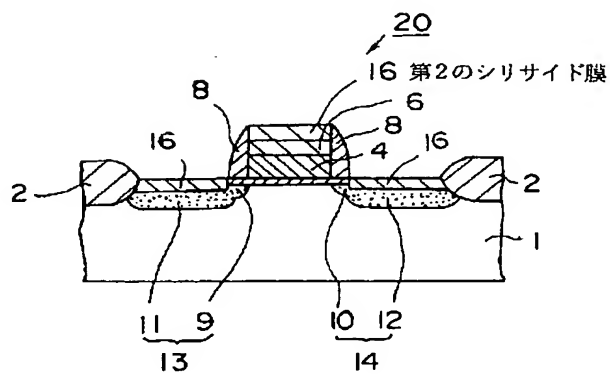
(74)代理人 弁理士 森 哲也 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 ソース及びドレインを構成する拡散層と半導体基板との接合破壊を起こすことなく、また、ゲート電極の高さを増加することなく、ゲート電極を十分に低抵抗化することが可能な半導体装置の製造方法を提供する。

【構成】 シリコン基板1上にゲート絶縁膜3を介して、第1の多結晶シリコン膜4、第1のシリサイド膜5、第2の多結晶シリコン膜7からなる多層構造のゲート電極20を形成し、ゲート電極20をマスクとしてソース13及びドレイン14を形成した後、全面に、第2のチタン膜15を形成し、ゲート電極20上、ソース13上及びドレイン14上に形成された第2のチタン膜15をシリサイド化し、第2のシリサイド膜16を形成する。



1

## 【特許請求の範囲】

【請求項 1】 半導体基板上にゲート絶縁膜を介して、第 1 の多結晶シリコン層又は第 1 の非晶質シリコン膜を形成する工程と、前記第 1 の多結晶シリコン層又は第 1 の非晶質シリコン膜上に、第 1 のシリサイド層を形成可能な第 1 の金属膜を形成する工程と、前記第 1 の金属膜上に、第 2 の多結晶シリコン層又は第 2 の非晶質シリコン膜を形成する工程と、前記第 1 の多結晶シリコン層又は第 1 の非晶質シリコン膜、前記第 1 の金属膜及び前記第 2 の多結晶シリコン層又は第 2 の非晶質シリコン膜からなる多層構造を備えたゲート電極を形成する工程と、前記ゲート電極をマスクとしてソース及びドレインを形成する工程と、前記ソース及びドレインを形成した後、全面に、第 2 のシリサイド層を形成可能な第 2 の金属膜を形成する工程と、前記ゲート電極上、ソース上及びドレイン上に形成された第 2 の金属膜をシリサイド化する工程と、を含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に係り、特に、ゲート電極の最上部、ソース上及びドレイン上に金属シリサイド層が形成された MOS (Metal Oxide Semiconductor) トランジスタを有する半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 従来から、半導体装置の高集積化に伴い、デバイスの微細化が急速に進んでいる。このデバイスの微細化（縮小）は、横方向だけでなく、縦方向にも行われるため、MOS トランジスタのゲート電極、ソース及びドレインの寄生抵抗が急増し、回路の動作速度が著しく劣化するという問題があった。

【0003】 そこで、ゲート電極の最上部、ソース上及びドレイン上に、低い層抵抗を有する金属シリサイド層を形成し、ゲート電極、ソース及びドレインの層抵抗を、従来の数十～数百  $\Omega/\square$  から、数  $\Omega/\square$  に低減することで、デバイス特性の向上を図る従来例がある。この金属シリサイド層は、ゲート電極、ソース及びドレインが形成されたウエハの全面に、シリサイド層を形成することが可能な金属膜を形成した後、ゲート電極上、ソース上及びドレイン上に形成された金属膜をシリサイド化することで形成される。従って、前記シリサイド層は、ゲート電極上、ソース上及びドレイン上に、同じ膜厚で形成される。ここで、ソース及びドレイン上に形成された金属シリサイド層は、ソース及びドレインを構成する拡散層と半導体基板との接合を破壊しないことが要求される。このため、例えば、前記拡散層の深さが、0.15  $\mu\text{m}$  以下である場合には、シリサイド層の厚さを、前記拡散層の深さの約半分以下とすることが望まれる。

【0004】 しかしながら、近年では、デバイスの微細

2

化が益々進み、前記拡散層の深さがさらに浅くなってきている。このため、前記拡散層と半導体基板との接合を破壊しないように、前記シリサイド層の厚さを薄くすると、ゲート電極の最上部に形成されるシリサイド層の厚さも薄くなり、ゲート電極を十分に低抵抗化することができないという問題があった。

【0005】 そこで、ゲート電極単独でポリサイド構造とした後、ソース上及びドレイン上のみシリサイド化することで、ゲート電極を十分に低抵抗化し、且つソース上及びドレイン上には、前記拡散層と半導体基板との接合を破壊しない程度の薄い膜厚の金属シリサイド層を形成する従来例がある。

## 【0006】

【発明が解決しようとする課題】 しかしながら、前記ソース上及びドレイン上のみシリサイド化する従来例は、ポリサイド構造に用いる高融点金属の比抵抗が大きい場合、ゲート電極の層抵抗を低くするためには、シリサイド層の膜厚を厚くする必要がある。このため、ゲート電極の高さが高くなるため、その後の工程において、平坦化が困難になるという問題があった。

【0007】 一方、ポリサイド構造に用いる高融点金属の比抵抗が小さい場合は、その後の工程で、金属薄膜を形成するための前処理において、全面に HF (フッ酸) 処理を施すために、ゲート電極の最上層に形成したシリサイド層が溶出するという問題があった。本発明は、このような従来の問題点を解決することを課題とするものであり、ソース及びドレインを構成する拡散層と半導体基板との接合破壊を起こすことなく、また、ゲート電極の高さを増加することなく、ゲート電極を十分に低抵抗化することが可能な半導体装置の製造方法を提供することを目的とする。

## 【0008】

【課題を解決するための手段】 この目的を達成するため、本発明は、半導体基板上にゲート絶縁膜を介して、第 1 の多結晶シリコン層又は第 1 の非晶質シリコン膜を形成する工程と、前記第 1 の多結晶シリコン層又は第 1 の非晶質シリコン膜上に、第 1 のシリサイド層を形成可能な第 1 の金属膜を形成する工程と、前記第 1 の金属膜上に、第 2 の多結晶シリコン層又は第 2 の非晶質シリコン膜を形成する工程と、前記第 1 の多結晶シリコン層又は第 1 の非晶質シリコン膜、前記第 1 の金属膜及び前記第 2 の多結晶シリコン層又は第 2 の非晶質シリコン膜からなる多層構造を備えたゲート電極を形成する工程と、前記ゲート電極をマスクとしてソース及びドレインを形成する工程と、前記ソース及びドレインを形成した後、全面に、第 2 のシリサイド層を形成可能な第 2 の金属膜を形成する工程と、前記ゲート電極上、ソース上及びドレイン上に形成された第 2 の金属膜をシリサイド化する工程と、を含むことを特徴とする半導体装置の製造方法を提供するものである。

3

【0009】

【作用】本発明によれば、第1の多結晶シリコン層又は第1の非晶質シリコン膜、第1の金属膜及び第2の多結晶シリコン層又は第2の非晶質シリコン膜からなる多層構造を備えたゲート電極を形成するため、後の工程でゲート電極の最上部、ソース上及びドレイン上に形成するシリサイド層を、薄い膜厚で形成しても、ゲート電極を構成するシリサイド層は、厚く形成される。即ち、前記ゲート電極には、予めシリサイド層が形成されているため、このシリサイド層の膜厚と、ソース上及びドレイン上にシリサイド層を形成する際に、同時にゲート電極の最上部に形成されるシリサイド層の膜厚との合計が、ゲート電極を構成するシリサイド層の全体膜厚となる。従って、ソース上及びドレイン上には、薄い膜厚のシリサイド層が形成され、ゲート電極を構成するシリサイド層は、厚く形成される。このため、ゲート電極は、ソース及びドレインを構成する拡散層と半導体基板との接合破壊を起こすことなく、また、その高さを増加することなく、十分に低抵抗化される。

【0010】

【実施例】次に、本発明に係る実施例について、図面を参照して説明する。図1ないし図7は、本発明の実施例に係る半導体装置の製造工程の一部を示す部分断面図である。図1に示す工程では、p型シリコン基板1上の素子分離領域に、フィールド酸化膜2を形成する。次に、素子形成領域に、ゲート絶縁膜3を形成する。次いで、このシリコン基板1を、LP-CVD (Low Pressure Chemical Vapor Deposition) 炉内に装入し、ゲート絶縁膜3上に、膜厚が1500 Å程度の第1の多結晶シリコン膜4を形成する。

【0011】次に、図2に示す工程では、図1に示す工程で得たシリコン基板1を、LP-CVD炉からスパッタ装置に移し、第1の多結晶シリコン膜4上に、シリサイド層を形成可能な金属膜として、膜厚が200 Å程度の第1のチタン膜5を形成する。次いで、図3に示す工程では、図2に示す工程で得たシリコン基板1を、スパッタ装置から、Ar (アルゴン) 雰囲気中のLP-CVD炉に移し、炉内の温度を均一にする。この時、LP-CVD炉内に装入したシリコン基板1上の第1のチタン膜5の全てが、第1の多結晶シリコン膜4と反応し、第1のシリサイド膜6となる。

【0012】次に、図4に示す工程では、図3に示す工程で得た第1のシリサイド膜6上に膜厚が1000 Å程度の第2の多結晶シリコン膜7を形成する。次いで、図5に示す工程では、第1の多結晶シリコン膜4、第1のシリサイド膜6及び第2の多結晶シリコン膜7にパターニングを行い、第1の多結晶シリコン膜4、第1のシリサイド膜6及び第2の多結晶シリコン膜7からなるゲート電極20を形成する。

【0013】次に、ゲート電極20をマスクとして、n

4

型不純物を比較的低濃度でイオン注入し、n-層9及び10を形成する。次いで、ゲート電極20の側面に、絶縁膜からなるサイドウォール8を形成し、ゲート電極20及びサイドウォール8をマスクとして、n型不純物を比較的高濃度でイオン注入し、n+層11及び12を形成する。

【0014】このようにして、n-層9及びn+層11からなるLDD構造のソース13、n-層10及びn+層12からなるLDD構造のドレイン14を形成した。次に、図6に示す工程では、図5に示す工程で得たシリコン基板1及び形成されている素子の全面に、シリサイド層を形成可能な金属膜として、膜厚が300 Å程度の第2のチタン膜15を形成する。

【0015】次いで、図7に示す工程では、図6に示す工程で得たシリコン基板1に熱処理を行い、ゲート電極20上、ソース13上及びドレイン14上に形成された第2のチタン膜15 (即ち、シリコン上に形成された第2のチタン膜15) をシリサイド化し、この部分に第2のシリサイド膜16を形成する。この時、ゲート電極20上に形成された第2のチタン膜15の全てが、第2の多結晶シリコン膜7の全てと反応する。このため、第1の多結晶シリコン膜4、第1のシリサイド膜6及び第2のシリサイド膜16からなるゲート電極20が形成される。このため、第2のシリサイド膜16を薄い膜厚で形成しても、ゲート電極20を構成するシリサイド膜全体の膜厚を厚くすることができる。従って、ゲート電極20の高さを増加することなく、ゲート電極20を十分に低抵抗化することができる。

【0016】一方、ソース13及びドレイン14上には、第2のシリサイド膜16のみが形成されるため、ソース13及びドレイン14とシリコン基板1とが接合破壊を起こすことがない。その後、所望の工程を行い、MOSトランジスタを有する半導体装置 (発明品) を完成した。

【0017】次に、比較として、第1のチタン膜5を形成することなく、多結晶シリコン膜のみで、同様のサイズのゲート電極を形成し、以下前記実施例と同様の工程を行い、MOSトランジスタを有する半導体装置 (従来品) を製造した。次に、発明品と従来品について、ゲート電極及びソース及びドレインの層抵抗を測定した。この結果を表1に示す。

【0018】

【表1】

	層 抵 抗 (Ω/□)	
	ソース・ドレイン	ゲート電極
発 明 品	4~9	3~5
従 来 品	4~9	4~9

## 5

【0019】表1から、発明品は、従来品に比べ、ゲート電極の層抵抗が、大幅に低下したことが確認できる。このため、ゲート配線における信号の遅延時間を著しく減少することができた。なお、本実施例では、シリサイド層を形成可能な金属膜として、チタン膜を形成したが、これに限らず、モリブデン、イリジウム、ニオブ、パラジウム、ニッケル、白金、タングステン等、半導体材料と反応して、シリサイド層を形成可能な金属であれば、種々の金属を使用してよい。

【0020】また、本実施例では、LDD構造のソース13及びドレイン14を形成した後に、第2のチタン膜15を形成し、その後シリサイド化を行ったが、これに限らず、ソース13及びドレイン14を形成する前に、第2のチタン膜15を形成してシリサイド化を行い、形成されたシリサイド層に不純物をイオン注入した後、ソース13及びドレイン14を形成してもよい。

【0021】そしてまた、本実施例では、第1の多結晶シリコン膜4を、1500Å程度の膜厚で形成したが、これに限らず、第1の多結晶シリコン膜4の膜厚は、所望により決定してよい。そして、好ましくは、1000~2000Å程度の膜厚で形成することがよい。そして、本実施例では、第1のチタン膜5を、200Å程度の膜厚で形成したが、これに限らず、第1のチタン膜5の膜厚は、所望により決定してよい。そして、好ましくは、100~300Å程度の膜厚で形成することがよい。

【0022】また、本実施例では、第2の多結晶シリコン膜7を、1000Å程度の膜厚で形成したが、これに限らず、第2の多結晶シリコン膜7の膜厚は、所望により決定してよい。そして、好ましくは、1000~1500Å程度の膜厚で形成することがよい。さらに、本実施例では、第2のチタン膜15を、300Å程度の膜厚で形成したが、これに限らず、第2のチタン膜15の膜厚は、所望により決定してよい。そして、好ましくは、100~400Å程度の膜厚で形成することがよい。

【0023】そしてまた、本実施例では、ゲート電極20形成材料の一部として、第1の多結晶シリコン膜4、第2の多結晶シリコン膜7を形成したが、これに限らず、非晶質シリコン膜を形成した後に、これを多結晶化してもよい。また、この時、非晶質シリコン膜は、スパッタ法等、いかなる方法で形成してもよい。

【0024】

【発明の効果】以上説明したように、本発明に係る半導体装置の製造方法は、第1の多結晶シリコン層又は第1の非晶質シリコン膜、第1の金属膜及び第2の多結晶シ

## 6

リコン層又は第2の非晶質シリコン膜からなる多層構造を備えたゲート電極を形成するため、後の工程でゲート電極の最上部、ソース上及びドレイン上に形成するシリサイド層を、薄い膜厚で形成しても、ゲート電極を構成するシリサイド層全体の膜厚を厚くすることができる。さらに、ソース上及びドレイン上には、薄い膜厚のシリサイド層を形成することができる。この結果、ソース及びドレインを構成する拡散層と半導体基板との接合破壊の発生を抑制することができ、且つゲート電極の高さを増加することなく、十分に低抵抗化したゲート電極を得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

【図2】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

【図3】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

【図4】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

【図5】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

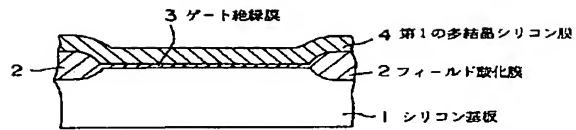
【図6】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

【図7】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

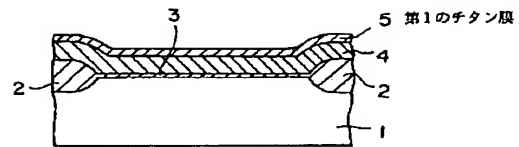
【符号の説明】

- |    |             |
|----|-------------|
| 1  | シリコン基板      |
| 2  | フィールド酸化膜    |
| 3  | ゲート絶縁膜      |
| 4  | 第1の多結晶シリコン膜 |
| 5  | 第1のチタン膜     |
| 6  | 第1のシリサイド膜   |
| 7  | 第2の多結晶シリコン膜 |
| 8  | サイドウォール     |
| 9  | n-層         |
| 10 | n+層         |
| 11 | n+層         |
| 12 | n+層         |
| 13 | ソース         |
| 14 | ドレイン        |
| 15 | 第2のチタン膜     |
| 16 | 第2のシリサイド膜   |
| 20 | ゲート電極       |

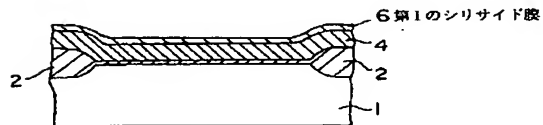
【図 1】



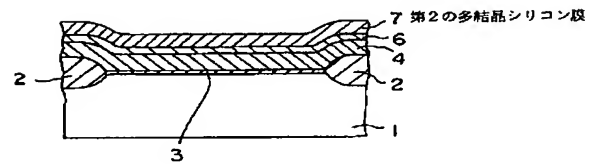
【図 2】



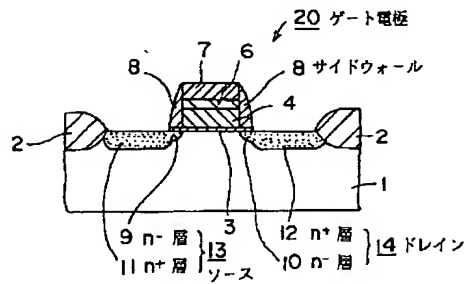
【図 3】



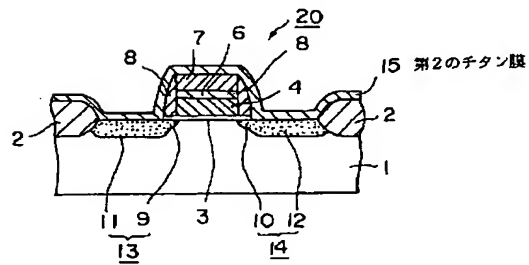
【図 4】



【図 5】



【図 6】



【図 7】

